

4/5/1 (Item 1 from file: 351)  
DIALOG(R)File 351:Derwent WPI  
(c) 2002 Derwent Info Ltd. All rts. reserv.

010202142 \*\*Image available\*\*  
WPI Acc No: 1995-103396/ 199514  
XRPX Acc No: N95-081507

**Semiconductor IC apparatus with input protection circuit - allows current to flow between input terminals by forming impurity domain in one well and drain domain in another**

Patent Assignee: TOSHIBA KK (TOKE ); TOSHIBA MICROELECTRONICS KK (TOSZ )  
Inventor: MIZUKAMI S

Number of Countries: 003 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7029987	A	19950131	JP 93168053	A	19930707	199514 B
US 5581103	A	19961203	US 94271146	A	19940706	199703
KR 139873	B1	19980817	KR 9416270	A	19940707	200021
JP 3246807	B2	20020115	JP 93168053	A	19930707	200206

Priority Applications (No Type Date): JP 93168053 A 19930707

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 7029987	A		5	H01L-021/8238	
US 5581103	A		9	H01L-029/78	
KR 139873	B1			H01L-021/331	
JP 3246807	B2		7	H01L-021/8238	Previous Publ. patent JP 7029987

Abstract (Basic): JP 7029987 A

The apparatus consists of an N+ type implanting layer (12) formed on the surface of a P type semiconductor substrate (11). P type wells (16,18) are formed in an epitaxial layer of the implanting layer. Both wells are isolated by an N type well (17).

A MOST in the first well has one end grounded, another end and a gate (24) connected to an input terminal (36). A P+ type impurity domain (26) in the second well is grounded. When voltage is applied to the input terminal, a surge voltage is generated in the drain domain (25) and impurity domain (27), in the second well.

ADVANTAGE - Good input protection characteristic.

Dwg.1/5

Title Terms: SEMICONDUCTOR; IC; APPARATUS; INPUT; PROTECT; CIRCUIT; ALLOW;  
CURRENT; FLOW; INPUT; TERMINAL; FORMING; IMPURE; DOMAIN; ONE; WELL; DRAIN  
; DOMAIN

Derwent Class: U13

International Patent Class (Main): H01L-021/331; H01L-021/8238; H01L-029/78

International Patent Class (Additional): H01L-021/822; H01L-027/04;

H01L-027/092; H02H-007/20

File Segment: EPI

4/5/2 (Item 1 from file: 347)  
DIALOG(R)File 347:JAPIO  
(c) 2002 JPO & JAPIO. All rts. reserv.

04709387 \*\*Image available\*\*  
SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUB. NO.: 07-029987 [ JP 7029987 A]

PUBLISHED: January 31, 1995 (19950131)

INVENTOR(s): MIZUKAMI SHIGETO

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP  
(Japan)

TOSHIBA MICRO ELECTRON KK [000000] (A Japanese Company or  
Corporation), JP (Japan)

APPL. NO.: 05-168053 [JP 93168053]

FILED: July 07, 1993 (19930707)

INTL CLASS: [6] H01L-021/8238; H01L-027/092; H01L-027/04; H01L-021/822;  
H01L-029/78; H02H-007/20  
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 43.3 (ELECTRIC  
POWER -- Transmission & Distribution)  
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)

#### ABSTRACT

PURPOSE: To improve a surge-voltage protecting property by causing a current path to be formed through an impurity region in a second well, a buried layer, the other terminal in a first well, and an input terminal when surge voltage is applied to the input terminal.

CONSTITUTION: An npn bipolar transistor Q2 is formed with an n(sup +) type buried layer 12 as a collector, a p type well 16 as a base, and a drain region 25 as an emitter. There is a resistor R2 between an emitter of a bipolar transistor Q1 and the collector of the bipolar transistor Q2 and a base resistor of the transistor Q2 is R1. By causing these transistors Q1 and Q2 to be newly formed, a surge current path is formed which starts from a ground terminal and goes to an input terminal 101 through a source region 27 of the transistor Q1, the n(sup +) type buried layer 12, the drain region 25 of the transistor Q2.

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-029987

(43)Date of publication of application : 31.01.1995

(51)Int.Cl.

H01L 21/8238

H01L 27/092

H01L 27/04

H01L 21/822

H01L 29/78

H02H 7/20

(21)Application number : 05-168053

(71)Applicant : TOSHIBA CORP

TOSHIBA MICRO ELECTRON KK

(22)Date of filing : 07.07.1993

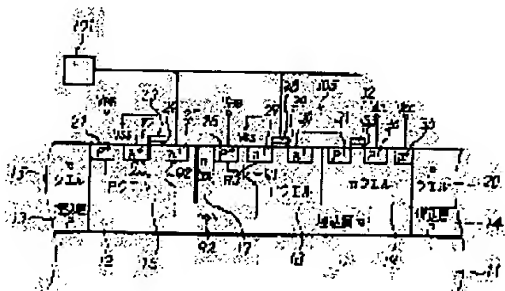
(72)Inventor : MIZUKAMI SHIGETO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To improve a surge-voltage protecting property by causing a current path to be formed through an impurity region in a second well, a buried layer, the other terminal in a first well, and an input terminal when surge voltage is applied to the input terminal.

CONSTITUTION: An npn bipolar transistor Q2 is formed with an n+ type buried layer 12 as a collector, a p type well 16 as a base, and a drain region 25 as an emitter. There is a resistor R2 between an emitter of a bipolar transistor Q1 and the collector of the bipolar transistor Q2 and a base resistor of the transistor Q2 is R1. By causing these transistors Q1 and Q2 to be newly formed, a surge current path is formed which starts from a ground terminal and goes to an input terminal 101 through a source region 27 of the transistor Q1, the n+ type buried layer 12, the drain region 25 of the transistor Q2.



## LEGAL STATUS

[Date of request for examination]

09.02.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-29987 ✓

(43) 公開日 平成7年(1995)1月31日

(51) Int.Cl.<sup>9</sup>

H 0 1 L 21/8238  
27/092  
27/04

識別記号

片内整理番号

F I

技術表示箇所

8934-4M

H 0 1 L 27/ 08

3 2 1 H

8832-4M

27/ 04

H

審査請求 未請求 請求項の数 1 O L (全 5 頁) 最終頁に続く

(21) 出願番号

特願平5-168053

(22) 出願日

平成5年(1993)7月7日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72) 発明者 水 上 重 人

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

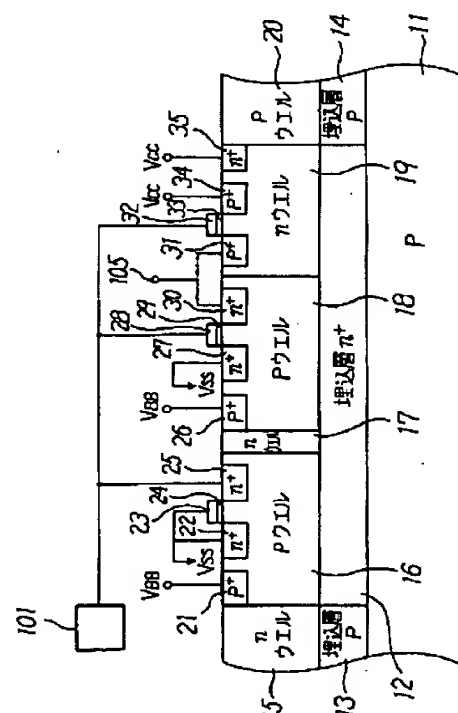
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 入力保護特性の高い保護回路を備えた半導体集積回路装置を提供する。

【構成】 p型半導体基板の表面に形成されたn型埋め込み層12と、埋め込み層12の上に形成されたエピタキシャル層と、このエピタキシャル層内に形成されたp型ウェル16と、エピタキシャル層内に形成されたウェル16とは電氣的に分離されたp型ウェル18と、ウェル16内において一端が接地され他端が入力端子36に接続されゲートが入力端子36に接続されたMOS型トランジスタ102と、ウェル18内において接地されたp型不純物領域26とを備えることで、入力端子36にサージ電圧が印加されたときウェル18内の不純物領域27と、埋め込み層12と、ウェル16内のドレイン領域25と、入力端子36との間に電流が流れる経路Q1、R2、Q2が成立する。



## 【特許請求の範囲】

【請求項1】一導電型の半導体基板の表面部分に形成された逆導電型の埋め込み層と、  
前記埋め込み層の上に形成された半導体層と、  
前記半導体層内に形成された一導電型の第1のウエルと、  
前記半導体層内に形成され、前記第1のウエルとは電気的に分離された一導電型の第2のウエルと、  
前記第1のウエル内において、一端が接地され、他端が外部から信号を入力される入力端子に接続され、ゲートが前記入力端子に接続された逆導電型のMOS型トランジスタと、  
前記第2のウエル内において、接地された逆導電型の不純物領域とを備えることで、  
前記入力端子にサージ電圧が印加されたとき、前記第2のウエル内の前記不純物領域と、前記埋め込み層と、前記第1のウエル内の前記他端と、前記入力端子との間に電流が流れる経路が成立することを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体集積回路装置に係わり、特に入力保護回路を有するものに関する。

## 【0002】

【従来の技術】従来の入力保護回路と、内部回路の初段の部分の構成を図4に示す。外部から信号を入力される入力端子101と、内部回路のうちの初段に相当するPチャネルトランジスタ103及びNチャネルトランジスタ104から成るインバータINV11の入力端子とを接続するノードN11に、入力保護回路としてNチャネルトランジスタ102が設けられている。このNチャネルトランジスタ102のソースはノードN11に接続され、ゲート及びドレインは接地されている。また、Nチャネルトランジスタ102及び104の基板端子には、図示されていない基板バイアス回路から基板バイアス電圧が供給されている。インバータINV11の出力端子105には、図示されていない内部回路の後段の部分が接続されている。

【0003】このような入力保護用のNチャネルトランジスタ102と、インバータINV11を、半導体基板上に形成した場合の縦断面構造を図5に示す。

【0004】p型半導体基板111上に、Nチャネルトランジスタ102を構成するソース領域( $n^+$ 型不純物領域)114、ドレイン領域( $n^+$ 型不純物領域)113と、ゲート酸化膜125、ゲート電極126が形成されている。

【0005】また、インバータINV11のNチャネルトランジスタ103を構成するドレイン領域( $n^+$ 型不純物領域)116、ソース領域( $n^+$ 型不純物領域)115と、ゲート酸化膜127、ゲート電極128が形成

されている。Pチャネルトランジスタ103を構成するソース領域( $p^+$ 型不純物領域)121、ドレイン領域( $p^+$ 型不純物領域)118、ゲート酸化膜119、ゲート電極120がn型ウエル117内に形成されている。このn型ウエル117内には、電源電圧 $V_{cc}$ 端子に接続された $n^+$ 型不純物領域122が形成されている。また、ドレイン領域116及び118は、出力端子105に接続されている。

【0006】このような構成を有する回路において、入力端子101に負のサージ電圧が入力された場合を考える。入力保護用のNチャネルトランジスタ102は、入力端子101に接続されたソース領域114の電位と、接地端子に接続されたドレイン領域113及びゲート電極126の電位との電位差が、閾値電圧以上になった場合に、接地端子から入力端子101の方向へ電流を流す。これにより、負のサージ電圧が入力段のインバータINV11へ入力される事態が回避され、内部回路が保護される。

【0007】ここで、インバータINV11のゲート酸化膜119及び127が負のサージ電圧を印加されたときの耐量は、ゲート耐圧と、入力保護回路としてのNチャネルトランジスタ102の電流特性により決定される。

【0008】よって、Nチャネルトランジスタ102の電流駆動能力を高く設定すれば、入力保護特性は向上する。しかし、電流駆動能力を高くしようとしてトランジスタの幅 $W$ を大きくしようとしても、入力容量を大きくしすぎないようにする必要があるため、制約を受ける。また、トランジスタ102の長さ $L$ を短くすると、入力保護回路としてのトランジスタ102自身の耐圧が悪化し、結果的に入力耐圧の向上をもたらさない。

## 【0009】

【発明が解決しようとする課題】以上のような理由で、従来の入力保護回路は十分に入力保護特性を向上させることができなかった。

【0010】本発明は上記事情に鑑みてなされたもので、高い入力保護特性を有する保護回路を備えた半導体集積回路装置を提供することを目的とする。

## 【0011】

【課題を解決するための手段】本発明の半導体集積回路装置は、一導電型の半導体基板の表面部分に形成された逆導電型の埋め込み層と、前記埋め込み層の上に形成された半導体層と、前記半導体層内に形成された一導電型の第1のウエルと、前記半導体層内に形成され、前記第1のウエルとは電気的に分離された一導電型の第2のウエルと、前記第1のウエル内において、一端が接地され、他端が外部から信号を入力される入力端子に接続され、ゲートが前記入力端子に接続された逆導電型のMOS型トランジスタと、前記第2のウエル内において、接地された逆導電型の不純物領域とを備えることで、前記

入力端子にサージ電圧が印加されたとき、前記第2のウエル内の前記不純物領域と、前記埋め込み層と、前記第1のウエル内の前記他端と、前記入力端子との間に電流が流れる経路が成立することを特徴としている。

#### 【0012】

【作用】入力端子にサージ電圧が印加されたとき、MOS型トランジスタのみならず、第2のウエル内の不純物領域と、埋め込み層と、第1のウエル内の他端と、入力端子との間に電流が流れる経路が成立するため、サージ電圧に対する保護特性が向上する。

#### 【0013】

【実施例】以下、本発明の一実施例について図面を参照して説明する。本実施例による半導体集積回路の回路図は、図4に示されたものと同一であり、基板上に形成された素子構造が従来のものと相違している。

【0014】先ず、図3(a)に示されたように、p型半導体基板11上に不純物拡散法を用いてn型埋め込み層12を形成する。図3(b)のように、n型埋め込み層12上に気相成長法によりエピタキシャル層71を形成する。このエピタキシャル層71内に、p型又はn型不純物を注入し拡散してp型ウエル16、n型ウエル17、p型ウエル18及びn型ウエル19をそれぞれ形成する。

【0015】次に、このようにして形成されたp又はn型ウエル内に入力保護用のトランジスタ102と、入力初段のインバータINV11が形成された本実施例による半導体集積回路装置の縦断面構造を図1に示す。

【0016】上述のようにして形成されたエピタキシャル層内に、入力保護用のp型ウエル16と、入力初段用のインバータINV11を形成するためのp型ウエル18及びn型ウエル19が形成されている。ここで、p型ウエル16及び18の間にはn型ウエル17が形成され、さらにp型ウエル16に隣接してn型ウエル15が形成され、n型ウエル19に隣接してp型ウエル20が形成されている。

【0017】p型ウエル16の表面に、入力保護用のNチャネルトランジスタ102を構成するソース領域25(n<sup>+</sup>型不純物領域)、ドレイン領域22(n<sup>+</sup>型不純物領域)、ゲート酸化膜24及びゲート電極23が形成され、さらに基板バイアス電圧VBBを印加されるp<sup>+</sup>型不純物領域21が形成されている。ソース領域25は、入力端子101に接続されている。

【0018】p型ウエル18の表面に、入力初段のインバータINV11のNチャネルトランジスタ104を構成するドレイン領域30(n<sup>+</sup>型不純物領域)、ソース領域27(n<sup>+</sup>型不純物領域)、ゲート酸化膜29及びゲート電極28が形成され、さらに基板バイアス電圧VBBを印加されるp<sup>+</sup>型不純物領域26が形成されている。ゲート電極28は入力端子101に接続され、ソース領域27は接地され、ドレイン領域25は、出力端子

105に接続されている。

【0019】n型ウエル19の表面に、入力初段のインバータINV11のPチャネルトランジスタ103を構成するドレイン領域31(p<sup>+</sup>型不純物領域)、ソース領域34(p<sup>+</sup>型不純物領域)、ゲート酸化膜33及びゲート電極32が形成され、さらに電源電圧Vccを印加されるn<sup>+</sup>型不純物領域35が形成されている。ゲート電極32は入力端子101に接続され、ソース領域34は電源電圧Vcc端子に接続され、ドレイン領域31は、出力端子105に接続されている。

【0020】このような断面構造を有する本実施例において、入力端子101に負のサージ電圧が印加されたときに新たに形成されるトランジスタの接続関係を図2に示す。

【0021】入力端子101に負のサージ電圧が印加され、この電圧がトランジスタ102の閾値電圧を超えた場合には従来の場合と同様に、トランジスタ102がオンする。本実施例では、このトランジスタ102の他に、バイポーラトランジスタQ1及びQ2が形成されて電流が流れる。

【0022】p型ウエル18内において、ソース領域27(n<sup>+</sup>型不純物領域)をコレクタ、p<sup>+</sup>型不純物領域26をベース、n<sup>+</sup>型埋め込み層12をエミッタとするnpn型バイポーラトランジスタQ1が形成される。ここで、ベース抵抗をR3とする。

【0023】n<sup>+</sup>型埋め込み層12をコレクタ、p型ウエル16をベース、ドレイン領域25(n<sup>+</sup>型不純物領域)をエミッタとするnpn型バイポーラトランジスタQ2が形成される。ここで、バイポーラトランジスタQ1のエミッタと、バイポーラトランジスタQ2のコレクタとの間には抵抗R2が存在し、またトランジスタQ2のベース抵抗をR1とする。

【0024】このようなトランジスタQ1及びQ2が新たに形成されることで、接地端子からバイポーラトランジスタQ1のソース領域27、n<sup>+</sup>型埋め込み層12、バイポーラトランジスタQ2のドレイン領域25、及び入力端子101を介してサージ電流が流れる経路が成立する。この結果、トランジスタ102のみならず、トランジスタQ1及びQ2による経路を通してサージ電流が流れるため、従来の場合よりも大幅に入力保護特性が向上する。

【0025】上述した実施例は一例であり、本発明を限定するものではない。例えば、導電型に関しては、実施例に示されたものを全て反転したものであってもよい。

#### 【0026】

【発明の効果】以上説明したように、本発明の半導体集積回路装置は、入力端子にサージ電圧が印加された場合、入力保護回路として設けたMOS型トランジスタのみならず、第2のウエル内の不純物領域と、埋め込み層と、第1のウエル内における入力端子に接続された端子

5

と、入力端子との間に電流が流れる経路が成立するため、サージ電圧に対する保護特性を向上させることができる。

【図面の簡単な説明】

【図 1】 本発明の一実施例による半導体集積回路装置の素子構造を示した縦断面図。

【図 2】 同半導体集積回路装置において、入力端子に負のサージ電圧が印加されたときに新たに形成される電流経路を示した縦断面図。

【図 3】 同半導体集積回路装置を半導体基板上に形成する手順を示した素子縦断面図。

【図 4】 同半導体集積回路装置の回路構成を示した回路図。

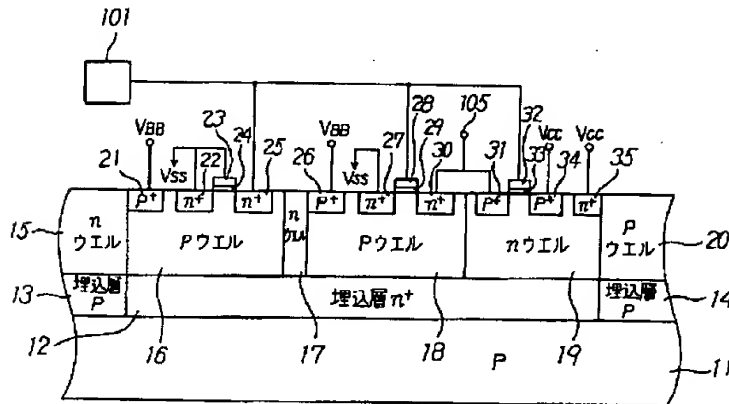
【図 5】 従来の半導体集積回路装置の素子構造を示した縦断面図。

【符号の説明】

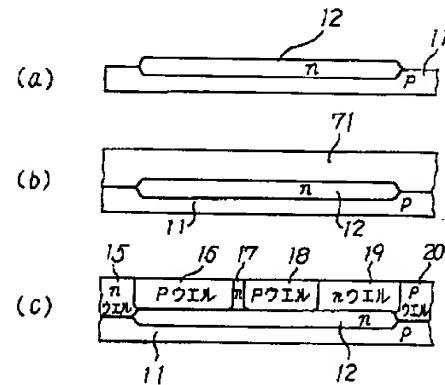
- 11 p型半導体基板  
12 n<sup>+</sup>型埋め込み層  
13, 14 p型埋め込み層  
15, 17, 19 nウェル  
16, 18, 20 pウェル  
21, 26 p<sup>+</sup>型不純物領域  
22, 27, 34 ソース領域  
23, 28, 32 ゲート電極  
24, 29, 33 ゲート酸化膜  
25, 30, 31 ドレイン領域  
35 n<sup>+</sup>型不純物領域  
101 入力端子  
105 出力端子  
Q1, Q2 npn型バイポーラトランジスタ  
R1, R2, R3 抵抗

6

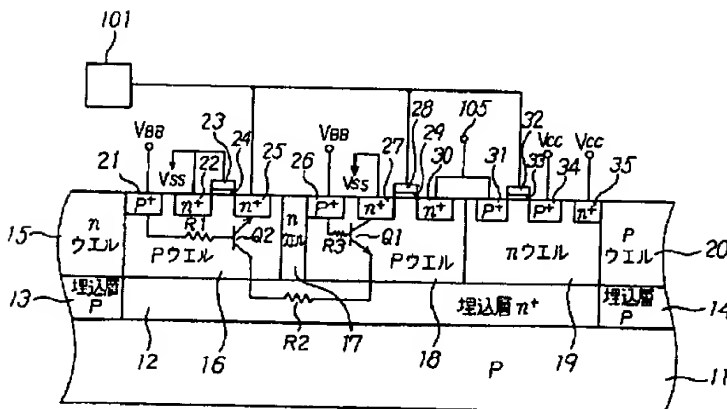
【図 1】



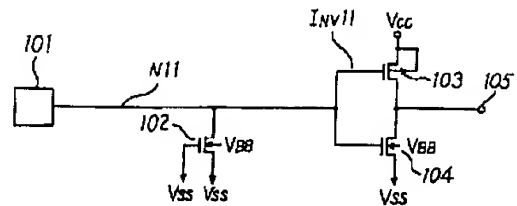
【図 3】



【図 2】

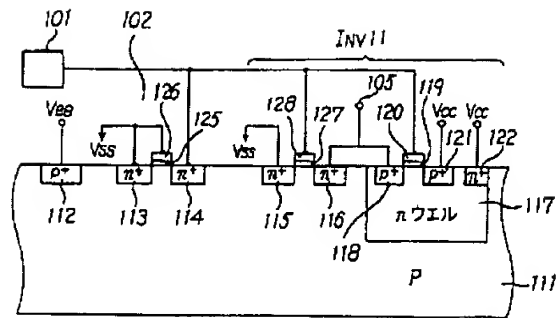


【図 4】





【図 5】



フロントページの続き

(51) Int. Cl. <sup>6</sup>

H 0 1 L 21/822

29/78

H 0 2 H 7/20

識別記号

庁内整理番号

F I

技術表示箇所

F 9177-5G

7514-4M

H 0 1 L 29/78

3 0 1 K